

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-242364
 (43)Date of publication of application : 22.10.1987

(51)Int.Cl. H01L 29/78
 H01L 29/52
 H01L 29/60

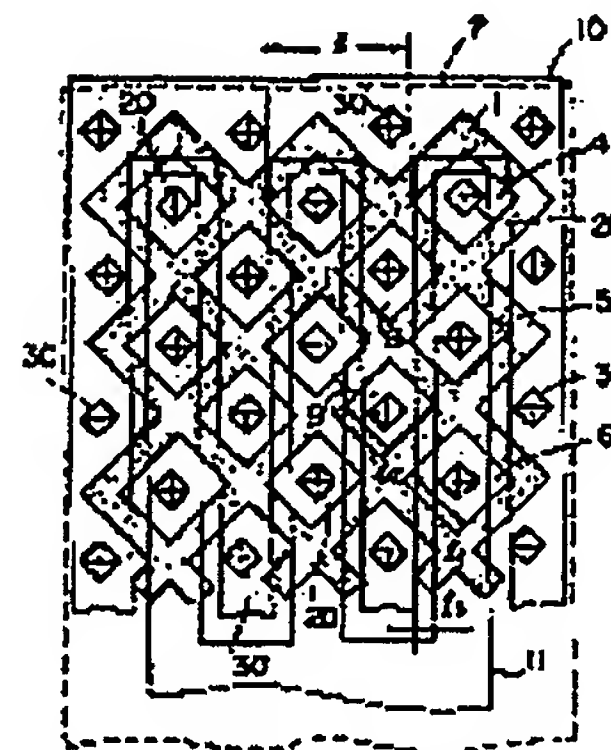
(21)Application number : 61-084885 (71)Applicant : MATSUSHITA ELECTRONICS
 CORP
 (22)Date of filing : 15.04.1986 (72)Inventor : YOSHIDA MICHIO

(54) MOS TYPE OUTPUT CIRCUIT ELEMENT

(57)Abstract:

PURPOSE: To elongate sharply peripheral lengths of MOS transistors, and to enable high density integration of the transistors having favorably areal efficiency by a method wherein the polysilicon gate of the MOS transistors is arranged in a slant lattice type, and the element is so constructed as to make a source wiring and a drain wiring be formed alternately by every line in one diagonal direction of the lattice of isolated diffusion layers of the plural number surrounded with the gate thereof.

CONSTITUTION: Out of isolated diffusion layers of the plural number surrounded with a polysilicon gate 1 arranged in a slant lattice type, the layers in the line in one diagonal direction of the lattice are assembled as to form one group, and source wirings 10, drain wirings 11 are formed alternately by every line as to make the line of the layers 4, 5, 6 form the drain diffusion layers, and as to make the line of the adjoining layers 7, 8, 9 form the source diffusion layers, for example. Because width 12 of the source diffusion layers and width 11 of the drain diffusion layers are decided by size of the isolated diffusion layers in the diagonal direction, arrangement of the elements can be attained by the minimum interval 13 of the Al wirings, and the pitch 1 of the parallel transistors is reduced as compared with the usual construction. Moreover peripheral lengths of the transistors, namely channel width of the MOS transistors is also enlarged effectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-242364

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月22日

H 01 L 29/78
29/52
29/60

8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑥ 発明の名称 MOS形出力回路素子

⑪ 特 願 昭61-84885

⑫ 出 願 昭61(1986)4月15日

⑦ 発 明 者 吉 田 道 雄 門真市大字門真1006番地 松下電子工業株式会社内

⑧ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地

⑨ 代 理 人 弁理士 星野 恒司 外1名

明 細 書

1. 発明の名称 MOS形出力回路素子

2. 特許請求の範囲

ポリシリコンゲートが格子状のパターンを有し、前記ポリシリコンゲートに囲まれた複数の分離拡散層のうち、格子の一対角方向の列を一組として交互の組毎にソース配線及びドレイン配線を施してなることを特徴とするMOS形出力回路素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、MOS形出力回路素子、より詳細には発光ダイオード、発光表示管、トリアック等を直接駆動できる出力バッファ装置のMOS形出力回路素子の構造に関するものである。

(従来の技術)

近年、MOS集積回路においても、大電流トランジスタにより、周辺機器や表示素子を直接駆動できるような高出力性能が要望されている。

第2図は、従来のMOS形出力回路素子のパタ

ーンを示したものであり、1, 2, 3はポリシリコンからなるゲート、4, 5, 6はドレイン拡散層、7はソース拡散層、10はソース配線、11はドレイン配線、20, 20はドレインコンタクト、30, 30はソースコンタクトである。第2図から判るように、ゲート1, 2, 3で囲まれたドレイン拡散層4, 5, 6はドレイン配線11とコンタクトをとるために、その幅 Δ_1 を要し、またゲート1, 2, 3に対応するトランジスタの各ソース拡散層部分の幅は、ソース配線10とコンタクトをとるために、 Δ_2 を必要とする。従って、個々のトランジスタはピッチ Δ で配列されることになる。

第3図は、上記MOS形出力回路素子の等価回路を示したものであり、ドレイン配線11がパッド電極12に導かれ、またポリシリコンゲート1, 2, 3が共通ゲート端子13にまとめて接続されている。

(発明が解決しようとする問題点)

一般に、大電流負荷を駆動するには、トランジスタの並列配置の数を増やすか、若しくは並列数は同一で、個々のトランジスタの周辺長、いわゆ

るチャネル幅を大きくする必要があるが、上記構成によれば、LSIチップにおける占有面積が大きくなって、高集積化に適さない回路素子の配置となっている。

本発明は、上記従来技術の問題点を解決するもので、高集積化に適した回路素子の配置をもつMOS形出力回路素子を提供するものである。

(問題点を解決するための手段)

MOSトランジスタのポリシリコンゲートを斜め格子状の配置とし、そのゲートに囲まれた複数の分離拡散層の、格子の一対角方向の列毎に交互にソース配線及びドレイン配線を施す構成とする。

(作用)

上記構成によれば、斜め格子状のゲートに対向してソース及びドレインも斜め方向に交互に配列された構成となり、A₁配線の最小間隔で素子の配置ができるので、トランジスタの周辺長を大幅に長くすることができる。

(実施例)

以下図面を参照して実施例を詳細に説明する。

- 3 -

ネル幅も実効的に大きくなる。しかも隣接するゲートが接続されているので、ゲート信号線の抵抗を小さくすることができる。

(発明の効果)

以上説明したように、本発明によれば、大電流駆動用のトランジスタを含むMOS形出力回路素子を面積効率よく、高密度に集積化することができるとともに、ゲート信号の入力抵抗を低減できるため高速動作にも適する等の効果を奏するものである。

4. 図面の簡単な説明

第1図は、本発明の一実施例の素子の配置を示す平面図、第2図は、従来例の素子の配置を示す平面図、第3図は、同素子の等価回路図である。

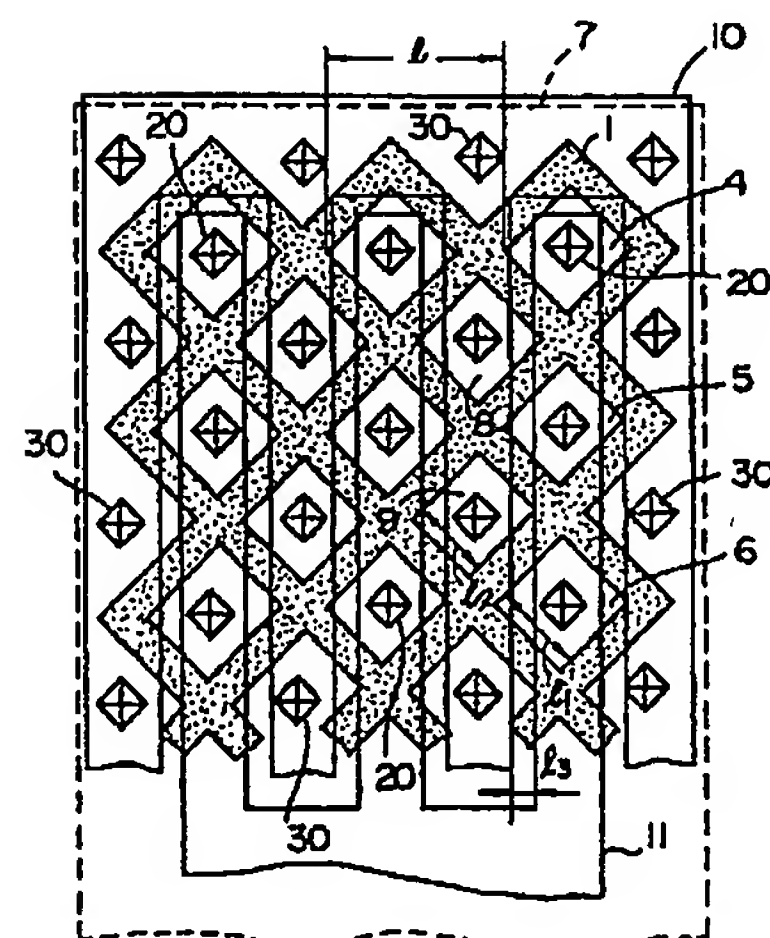
1 … ゲート、 4~6 … ドレイン拡散層、
7~9 … ソース拡散層、 10 … ソース配線、
11 … ドレイン配線、 20, 20 … ドレインコンタクト、
30, 30 … ソースコンタクト。

第1図は、本発明の一実施例を示したものであり、1は斜め格子状に配置されたポリシリコンゲートで、この格子状ゲートに囲まれた複数の分離拡散層のうち、格子の一対角方向の列を一組として、例えば4, 5, 6の列をドレイン拡散層、その隣の7, 8, 9の列をソース拡散層とするように、交互の列毎にソース配線10、ドレイン配線11が形成されている。20, 20は、ドレイン拡散層とドレイン配線11とのコンタクト、30, 30は、ソース拡散層とソース配線10とのコンタクトである。個々のソース及びドレインは、ゲートを介して斜めに配置されている。そして各ソース、ドレインは、それぞれ2個以上の並列トランジスタのソース、ドレインとなっている。

以上のような本実施例の構成によれば、ソース拡散層の幅 Δ_1 及びドレイン拡散層の幅 Δ_2 は斜め方向の寸法となるため、A₁配線の最小間隔 Δ_3 で素子の配置ができ、並列トランジスタのピッチ Δ_4 は従来構成のものより小さくなる。また、トランジスタの周辺長、即ちMOSトランジスタのチャ

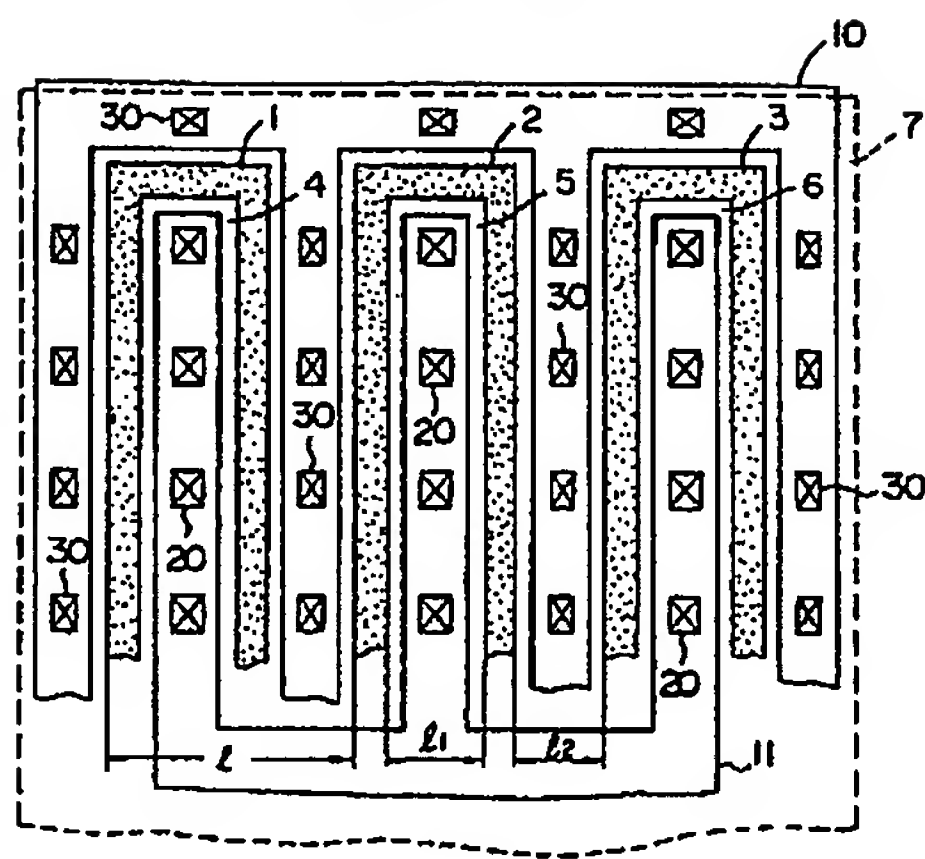
- 4 -

第 1 図



1 … ゲート
4~6 … ドレイン拡散層
7~9 … ソース拡散層
10 … ソース配線
11 … ドレイン配線
20 … ドレインコンタクト
30 … ソースコンタクト

第 2 図



第 3 図

